

PATENT
Docket No.: 492322013000



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Shuichi KIKUCHI et al.

Serial No.: 10/603,091

Examiner: Not Yet Assigned

Filing Date: June 25, 2003

Group Art Unit: 2811

For: SEMICONDUCTOR DEVICE

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Applications
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application No. 2002-188283 filed June 27, 2002.

The certified priority document is attached to perfect Applicants' claim for priority.

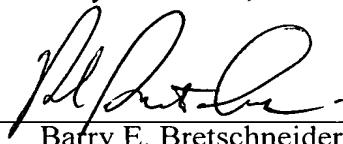
It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorize the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **492322013000**.

Dated: October 17, 2003

Respectfully submitted,

By:



Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7748
Facsimile: (703) 760-7777

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 6月27日

出願番号

Application Number:

特願2002-188283

[ST.10/C]:

[JP2002-188283]

出願人

Applicant(s):

三洋電機株式会社

2003年 5月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3040130

【書類名】 特許願
 【整理番号】 KIA1020017
 【提出日】 平成14年 6月27日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 29/78
 【発明者】
 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 【氏名】 菊池 修一
 【発明者】
 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 【氏名】 上原 正文
 【発明者】
 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 【氏名】 西部 栄次
 【発明者】
 【住所又は居所】 群馬県大泉町坂田4-7-15 メゾン・ド・モリ10
 【氏名】 安齊 勝義
 【特許出願人】
 【識別番号】 000001889
 【氏名又は名称】 三洋電機株式会社
 【代表者】 桑野 幸徳
 【代理人】
 【識別番号】 100107906
 【弁理士】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、この半導体基板の表面に配置されたゲート絶縁膜と、このゲート絶縁膜上に配置されたゲート電極と、このゲート電極の一方の端に隣接し、前記半導体基板の表面に配置された第2導電型のソース層と、前記ゲート電極の他方の端から離間して、前記半導体基板の表面に配置された第2導電型の高濃度のドレイン層と、この高濃度のドレイン層と前記ゲート電極の他端の間であって前記半導体基板の表面に配置された第2導電型の低濃度のドレイン層と、前記高濃度のドレイン層より深い領域に配置されこの高濃度のドレイン層とPN接合を成す第1導電型の埋め込み層と、を具備することを特徴とする半導体装置。

【請求項2】 前記低濃度のドレイン層の表面に前記ゲート酸化膜よりも厚い酸化膜が配置され、前記ゲート電極はこの厚い酸化膜の一部上に延在することを特徴とする請求項1記載の半導体装置。

【請求項3】 第1導電型の半導体基板の表面に第2導電型の低濃度のドレイン層を形成する工程と、

前記半導体基板の表面にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上であって、前記低濃度のドレイン層に隣接してゲート電極を形成する工程と、

前記低濃度のドレイン層に隣接し、前記ゲート電極から離れた前記半導体基板の表面に第2導電型の高濃度のドレイン層を形成する工程と、

前記高濃度のドレイン層より深い位置に、この高濃度のドレイン層とPN接合を成す第1導電型の埋め込み層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項4】 第1導電型の半導体基板の表面に第2導電型の低濃度のドレイン層を形成する工程と、

この低濃度のドレイン層の表面にフィールド酸化膜を形成する工程と、

前記半導体基板の表面にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上から前記フィールド酸化膜の一部上に延在するゲート電極を形成する工程と、

前記低濃度のドレイン層に隣接し、前記ゲート電極から離れた前記半導体基板の表面に第2導電型の高濃度のドレイン層を形成する工程と、

前記高濃度のドレイン層より深い位置に、この高濃度のドレイン層とP N接合を成す第1導電型の埋め込み層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】 第1導電型の半導体基板の表面に第2導電型の低濃度のドレイン層を形成する工程と、

この低濃度のドレイン層の表面にフィールド酸化膜を形成する工程と、

前記半導体基板の表面上にゲート絶縁膜を形成する工程と、このゲート絶縁上から前記フィールド酸化膜の一部上に延在するゲート電極を形成する工程と、

前記低濃度のドレイン層に接触し、前記ゲート電極から離れた前記半導体基板の表面に第2導電型の高濃度のドレイン層を形成するための第1イオン注入を行う工程と、

前記高濃度のドレイン層のイオン注入領域より内側の領域であって、前記高濃度のドレイン層のイオン注入領域より深い領域に、第1導電型の埋め込み層を形成するための第2イオンを行う工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に半導体集積回路に内蔵される高耐圧MOSトランジスタに関する。

【0002】

【従来の技術】

高耐圧MOSトランジスタは、高いソースドレイン耐圧(BVDS)、あるいは高いゲート耐圧を有しており、LCDドライバー、ELドライバーや電源回路等に応用されている。

【0003】

図9は、従来例に係るNチャネル型の高耐圧MOSトランジスタの構造を示す断面図である。P型のシリコン基板100の表面にゲート酸化膜101、厚いフィールド酸化膜102が形成されている。そして、ゲート酸化膜101から隣接するフィールド酸化膜102の一部上に延在するゲート電極103が形成されている。このゲート電極103の一方の端に隣接するシリコン基板100の表面領域にN+型ソース層104が形成されている。また、ゲート電極103の他方の端から離間して、半導体基板100の表面にN+型ドレイン層105が形成されている。

【0004】

このN+型ドレイン層105とゲート電極103の他端の間であってシリコン基板1の表面領域（オフセット領域）には、N-型ドレイン層106が形成されている。N-型ドレイン層106は、N+型ドレイン層105より深く拡散され、フィールド酸化膜102の下方からゲート電極103の端に至る領域に広がっている。

【0005】

上記の高耐圧MOSトランジスタ構造によれば、N-型ドレイン層106を設けたことにより、ドレイン層106に高電圧を印加した場合に、N-型ドレイン層106の中に空乏層が広がることでドレイン電界が緩和されるため、高いソースドレイン耐圧を得ることができる。また、ゲート電極103はゲート酸化膜101から隣接するフィールド酸化膜102の一部上に延在しているため、ゲート酸化膜103の破壊にも強い構造を有している。

【0006】

【発明が解決しようとする課題】

しかしながら、本発明者の実験によれば、上記従来のトランジスタ構造では、静電破壊耐量（以下、ESD耐量という）が低いという問題があった。例えば、人体モデルに基づく一般的な静電破壊試験（容量100pF、抵抗1.5KΩ）によれば、500V程度のESD耐量であり、これは不充分な値であった。

【0007】

【課題を解決するための手段】

そこで、本発明者は従来のトランジスタの静電破壊の原因を検討したところ、サージ電流がゲート電極103の下のN-型ドレイン層106（図9中のAの部分）に集中し、この部分が熱破壊してしまうことが判明した。

【0008】

そこで、本発明は図3（a）に示すように、N+型ドレイン層9の下にはN-型ドレイン層2が形成されないようにし、かつN+型ドレイン層9の下の領域にP+型埋め込み層11を形成した。これにより、N+型ドレイン層9とP+型埋め込み層11との間でPN接合が形成される。局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極6の下のN-型ドレイン層2が熱破壊する前に、サージ電流はN+型ドレイン層9からシリコン基板1に逃げる。その結果、ESD耐量を向上することができる。

【0009】

【発明の実施の形態】

次に、本発明の第1の実施形態による半導体装置及びその製造方法について図面を参照しながら説明する。

【0010】

まず、図1（a）に示すように、P型シリコン基板1の表面にイオン注入・熱拡散によりN-型ドレイン層2A, 2Bを形成する。N-型ドレイン層2A, 2Bの間は離間されている。すなわち、所定のマスクを用い、この離間領域にはイオン注入がされないようにしているため、N-型ドレイン層は形成されない。ここで、P型シリコン基板1の不純物濃度は約 $1 \times 10^{15} / \text{cm}^3$ である。また、イオン注入は、例えばリン($^{11}\text{P}^+$)をdose量 $1 \times 10^{13} / \text{cm}^2$ の条件下P型シリコン基板1に打ち込む。また、熱拡散の条件は例えば 1100°C 、N₂雰囲気である。この結果、N-型ドレイン層2A, 2Bは、約 $1.2 \mu\text{m}$ の深さに拡散される。

【0011】

次に、図1（b）に示すように、LOCOS（Local Oxidation Of Silicon）法を用いて、N-型ドレイン層2A, 2Bの表面に、それぞれ厚いフィールド酸

化膜4 A, 4 Bを形成する。フィールド酸化膜4 A, 4 Bは一般には素子分離用に形成されるが、この半導体装置では高耐圧トランジスタの耐圧を向上するためを利用している。その膜厚は目標耐圧によって異なるが、300 nm～600 nm程度である。さらに厚いフィールド酸化膜4 A, 4 Bを除く、シリコン基板1の表面領域にゲート酸化膜3を形成する。その膜厚もトランジスタのゲート耐圧の目標耐圧によって異なるが、15 nm～100 nm程度である。厚いフィールド酸化膜4 A, 4 Bは、ゲート酸化膜3よりも相当厚い膜厚を有している。

【0012】

次に、図1(c)に示すように、LPCVD法により全面にポリシリコン層5を堆積し、更にリン等の不純物を拡散して低抵抗化する。

【0013】

次に、図2(a)に示すように、ポリシリコン層5を不図示のフォトレジストを用いて選択的にエッチングし、ゲート電極6を形成する。ゲート電極6は、ゲート酸化膜3上から隣接するフィールド酸化膜4 Aの一部上に延在するようにエッチングされる。

【0014】

次に、図2(b)に示すように、N+型ソース層8及びN+型ドレイン層9を形成する。この工程は、N-型ドレイン層2 A, 2 Bの間に開口を有するフォトレジスト層7を形成し、このフォトレジスト層7をマスクとしてイオン注入を行う。このイオン注入は、例えば砒素($^{75}\text{As}^+$)をdose量 $4 \times 10^{15}/\text{cm}^2$ 、加速エネルギー40 KeVの条件で打ち込み、その後、リン($^{31}\text{P}^+$)をdose量 $4 \times 10^{15}/\text{cm}^2$ 、加速エネルギー40 KeVの条件で打ち込む。即ち、N+型ソース層8及びN+型ドレイン層9は、砒素($^{75}\text{As}^+$)とリン($^{31}\text{P}^+$)の2種類のN型不純物で形成される。その後の熱処理で、リン($^{31}\text{P}^+$)は砒素($^{75}\text{As}^+$)より深く拡散されるため、ソースドレイン耐圧の向上に効果がある。

【0015】

次に、図2(c)に示すように、フォトレジスト層7を除去した後に、さらに別のフォトレジスト層10をマスク露光及び現像により形成する。このフォトレ

ジスト層10は、フォトレジスト層7よりも小さな開口を有している。すなわち、N+型ドレイン層9のイオン注入領域よりも内側の領域をイオン注入領域として設定している。そして、フォトレジスト層10をマスクとして、例えばボロン($^{11}\text{B}^+$)をdose量 $4 \times 10^{12}/\text{cm}^2$ 、加速エネルギー 160KeV の条件で打ち込む。

【0016】

これにより、N+型ドレイン層9よりも深い領域にP+型埋め込み層11が形成される。上記のようにイオン注入領域を設定しているので、P+型埋め込み層11はN-型ドレイン層2A, 2Bとの重畠が起こりにくくなる。このため、N-型ドレイン層2A, 2Bの不純物濃度に影響されずに、P+型埋め込み層11の不純物濃度を高精度で制御することができるようになり、ESD耐量の制御が容易になる。

【0017】

次に、図3(a)に示すように、フォトレジスト層10を除去し、 800°C で、N+型ソース層8及びN+型ドレイン層9のアニールを行う。

【0018】

そして、図3(b)に示すように、層間絶縁膜としてBPSG膜12をCVD法により堆積する。その後、N+型ソース層8及びN+型ドレイン層9上にコンタクトホールを形成し、N+型ソース層8上にソース電極13、N+型ドレイン層9上にドレイン電極14を形成する。

【0019】

このようにして完成した半導体装置によれば、N+型ドレイン層9の下にはN-型ドレイン層2が形成されないようにし、かつN+型ドレイン層9の下の領域にP+型埋め込み層11を形成している。N+型ドレイン層9とP+型埋め込み層11との間で、濃度の高いPN接合が形成される。即ち、局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極6の下のN-型ドレイン層2が熱破壊する前に、サージ電流はこのPN接合を通ってシリコン基板1に逃げる。その結果、ESD耐量を向上することができる。

【0020】

図4は、P+型埋め込み層11を形成するための上記イオン注入工程におけるボロン($^{11}\text{B}^+$)のdose量と最小ソースドレイン耐圧BVDS_{min}との関係を示す図である。ここで、最小ソースドレイン耐圧BVDS_{min}は、トランジスタが動作中の場合を含めて最も低いソースドレイン耐圧である。一般に、Nチャネル型MOSトランジスタのソースドレイン耐圧はゲート電圧依存性を示し、ソースドレイン間に電流が流れている状態に対応して、あるゲート電圧の時に最小となる。図4に示すように、ボロン($^{11}\text{B}^+$)のdose量が $0 \sim 4 \times 10^{12}/\text{cm}^2$ の範囲で、最小ソースドレイン耐圧BVDS_{min}は36Vでほぼ一定である。

【0021】

図5は、P+型埋め込み層11を形成するための上記イオン注入工程におけるボロン($^{11}\text{B}^+$)のdose量とESD耐量の関係を示す図である。ESD耐量はボロン($^{11}\text{B}^+$)のdose量が「0」の場合には、800Vである。この場合でも従来例に比してESD耐量は向上しているが、ボロン($^{11}\text{B}^+$)のdose量が $4 \times 10^{12}/\text{cm}^2$ の場合には、2700Vに向上することが実験的に確認された。

【0022】

次に、本発明の第2の実施形態による半導体装置及びその製造方法について図面を参照しながら説明する。なお、第1の実施形態の図1～図3と同一の構成部分については同一の符号を付す。

【0023】

まず、図6(a)に示すように、P型シリコン基板1の表面にN-型ドレイン層を形成する。第1の実施形態と異なる点は、N-型ドレイン層2は、離間領域を有しない点である。その他のプロセス条件は第1の実施形態と全く同じである。

【0024】

次に、図6(b)に示すように、ゲート酸化膜3、フィールド酸化膜4A, 4Bを形成する。そして、図6(c)に示すように、全面にポリシリコン層5を形成する。ここまででの工程も第1の実施形態と全く同じである。

【0025】

次に、図7（a）に示すように、N-型ドレイン層2上にフォトレジスト層20を形成し、例えば砒素（ $^{75}\text{As}^+$ ）をdose量 $4 \times 10^{15}/\text{cm}^2$ 、加速エネルギー40KeVの条件で打ち込み、N+型ソース層21を形成する。

【0026】

次に、図7（b）に示すように、フォトレジスト層20を除去した後に、別のフォトレジスト層22を形成し、N+型ドレイン層23の形成予定領域に開口部を設ける。そして、この開口部から、例えば砒素（ $^{75}\text{As}^+$ ）をdose量 $4 \times 10^{15}/\text{cm}^2$ 、加速エネルギー40KeVの条件で打ち込み、その後、リン（ $^{31}\text{P}^+$ ）をdose量 $4 \times 10^{15}/\text{cm}^2$ 、加速エネルギー40KeVの条件で打ち込む。即ち、N+型ドレイン層23は、砒素（ $^{75}\text{As}^+$ ）とリン（ $^{31}\text{P}^+$ ）の2種類のN型不純物で形成される。その後の熱処理で、リン（ $^{31}\text{P}^+$ ）は砒素（ $^{75}\text{As}^+$ ）より深く拡散されるため、ソースドレイン耐圧の向上に効果がある。

【0027】

続いて、同じフォトレジスト層22の開口部から、ボロン（ $^{11}\text{B}^+$ ）を加速エネルギー160KeVの条件で打ち込むことにより、N+型ドレイン層23の下の領域にP+型埋め込み層24を形成する。

【0028】

本実施形態では、N-型ドレイン層2がN+型ドレイン層23の下の領域に広がっているため、P+型埋め込み層24の濃度を第1の実施形態のものと同じにするためには、上記ボロンのdose量よりも増加させる必要がある。

【0029】

次に、図7（c）に示すように、フォトレジスト層22を除去し、例えば、800°Cでアニールを行う。これにより、N+型ドレイン層23、P+型埋め込み層24は拡散する。ここで、サージ電流をシリコン基板1に迅速に逃がすためには、P+型埋め込み層24が拡散され、P型シリコン基板1に接触するようにすることが好ましい。

【0030】

この後、図8に示すように、層間絶縁膜としてBPSG膜12をCVD法により堆積する。その後、N+型ソース層21及びN+型ドレイン層24上にコンタ

クトホールを形成し、N+型ソース層21上にソース電極13、N+型ドレイン層24上にドレイン電極14を形成する。

【0031】

このように、本実施形態によれば、N+型ドレイン層23の下の領域にP+型埋め込み層24を形成しているので、N+型ドレイン層23とP+型埋め込み層24との間で、濃度の高いPN接合が形成される。即ち、局的に接合耐圧が小さい領域が形成される。このため、ゲート電極6の下のN-型ドレイン層2が熱破壊する前に、サージ電流はこのPN接合を通ってシリコン基板1に逃げる。その結果、第1の実施形態と同様に、ESD耐量を向上することが期待される。

【0032】

なお、上記実施形態では、Nチャネル型MOSトランジスタについて説明したが、本発明はPチャネル型MOSトランジスタについても同様に適用することができる。

【0033】

【発明の効果】

本発明によれば、MOSトランジスタのN+型ドレイン層9の下にはN-型ドレイン層2が形成されないようにし、かつN+型ドレイン層9の下の領域にP+型埋め込み層11を形成した。これにより、ESD耐圧を向上することができる。また、P+型埋め込み層11の形成用のボロン注入量を適切に設定することで、トランジスタの最小ソースドレイン耐圧を低下させることなく、ESD耐量を少なくとも2700Vに向上することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態による半導体装置及びその製造方法を示す断面図である。

【図2】

本発明の第1の実施形態による半導体装置及びその製造方法を示す断面図である。

【図3】

本発明の第1の実施形態による半導体装置及びその製造方法を示す断面図である。

【図4】

P+型埋め込み層11を形成するための上記イオン注入工程におけるボロン($^{11}\text{B}^+$)のdose量と最小ソースドレイン耐圧BVDS_{min}との関係を示す図である。

【図5】

P+型埋め込み層11を形成するための上記イオン注入工程におけるボロン($^{11}\text{B}^+$)のdose量とESD耐量の関係を示す図である。

【図6】

本発明の第2の実施形態による半導体装置及びその製造方法を示す断面図である。

【図7】

本発明の第2の実施形態による半導体装置及びその製造方法を示す断面図である。

【図8】

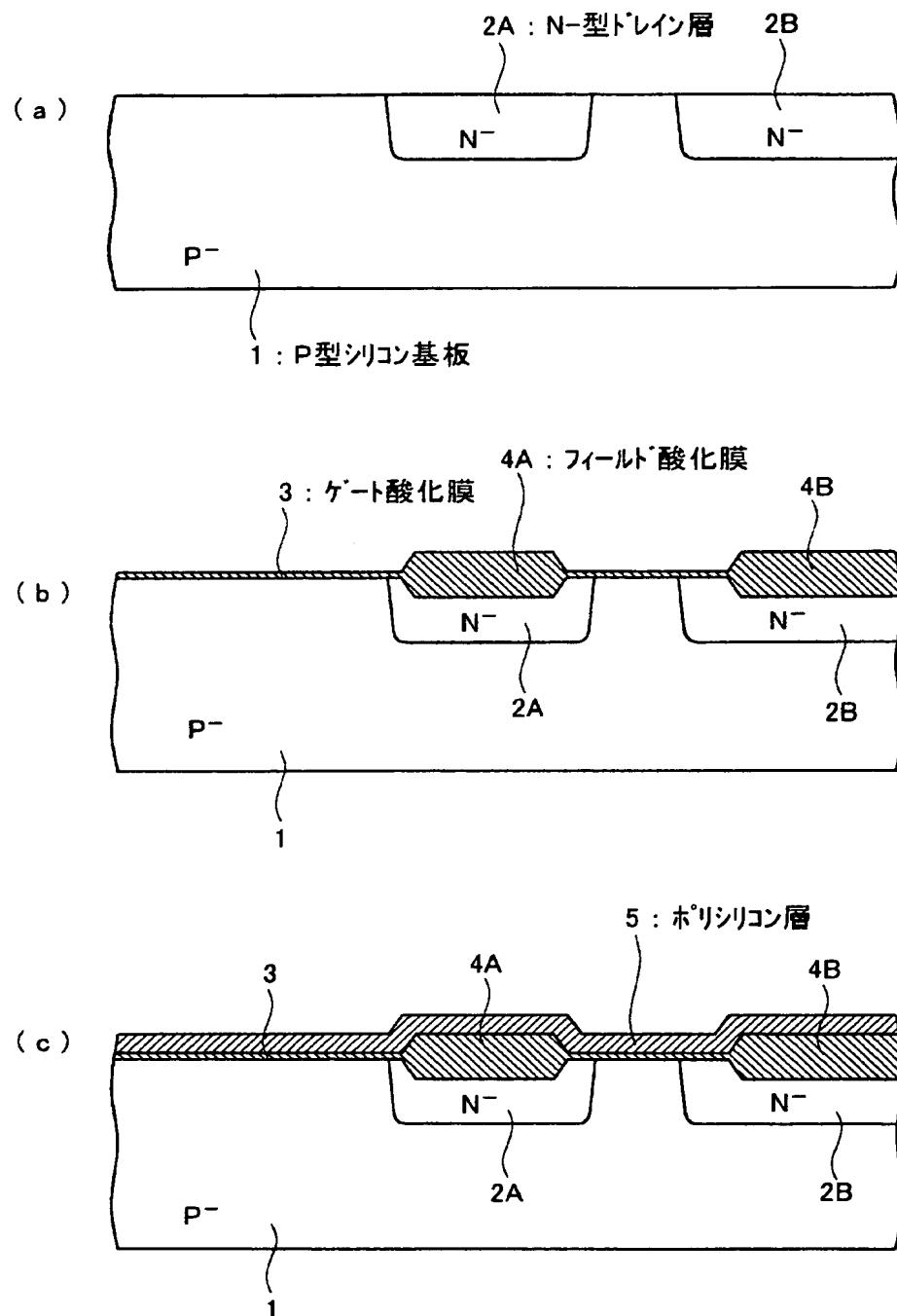
本発明の第2の実施形態による半導体装置及びその製造方法を示す断面図である。

【図9】

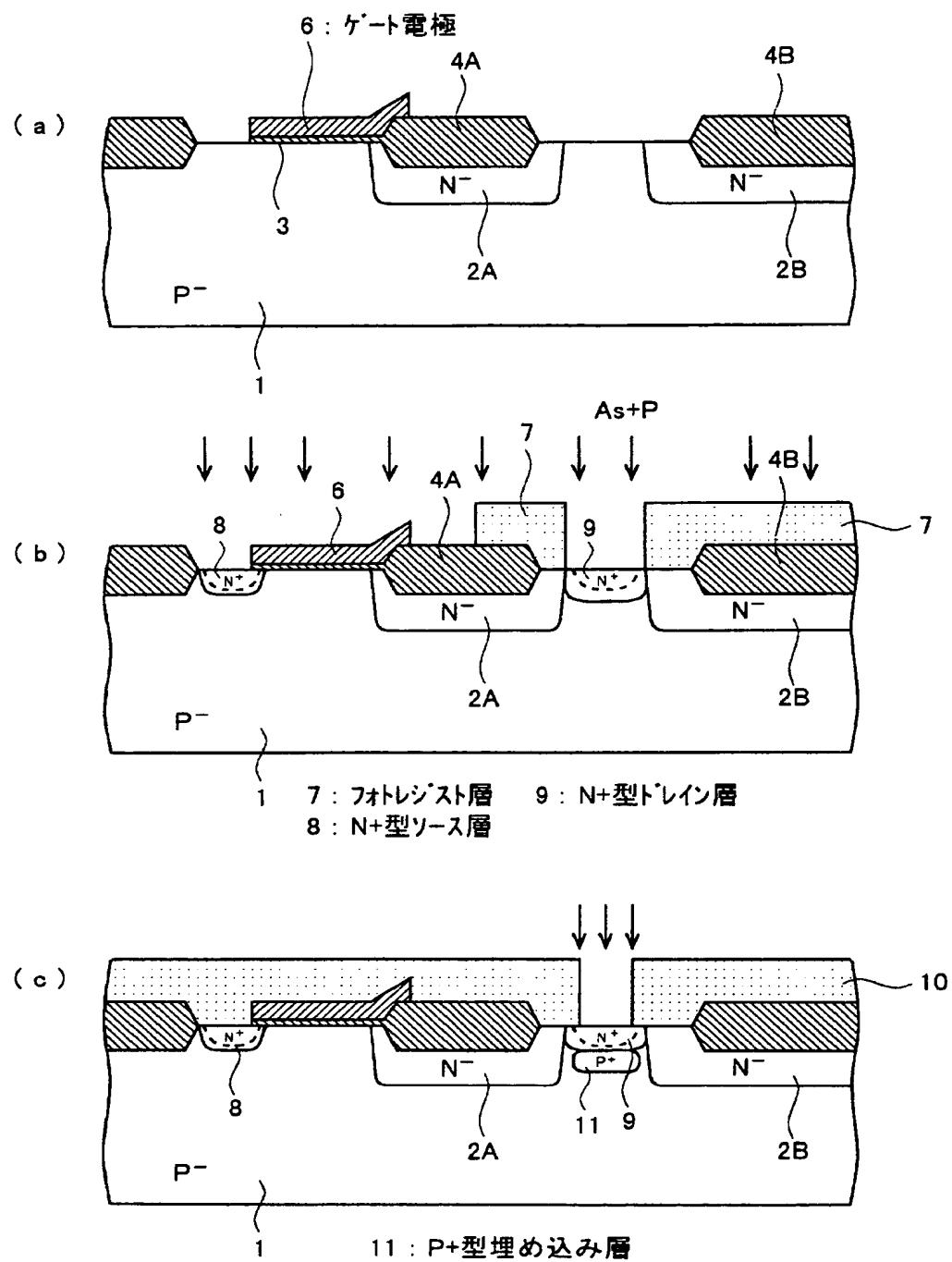
従来例に係る半導体装置を示す断面図である。

【書類名】 図面

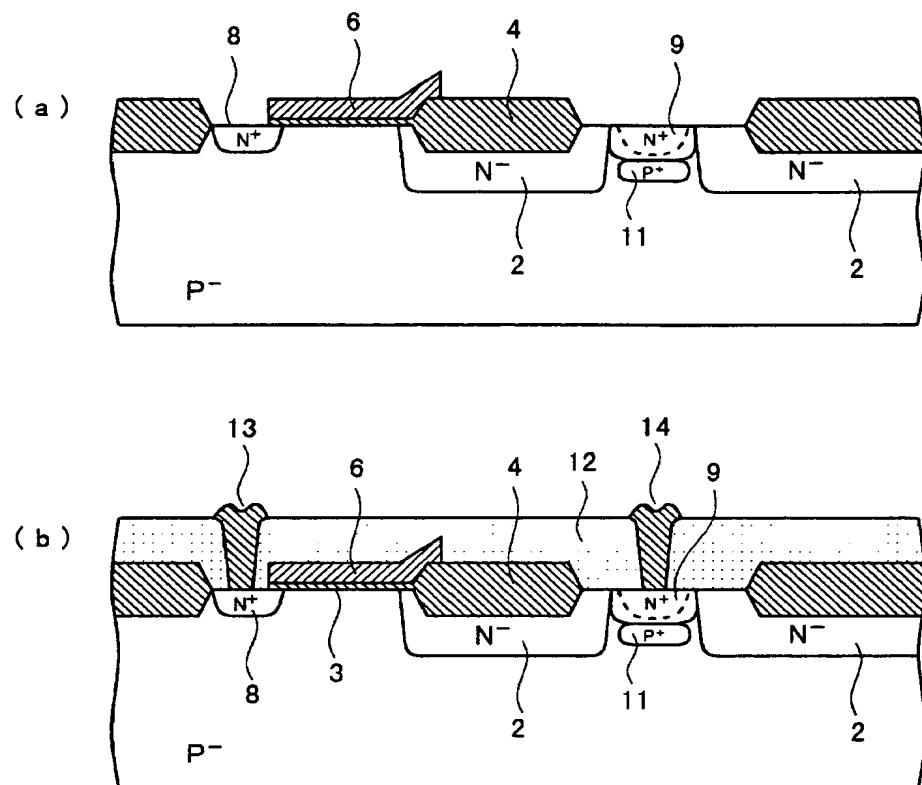
【図1】



【図2】

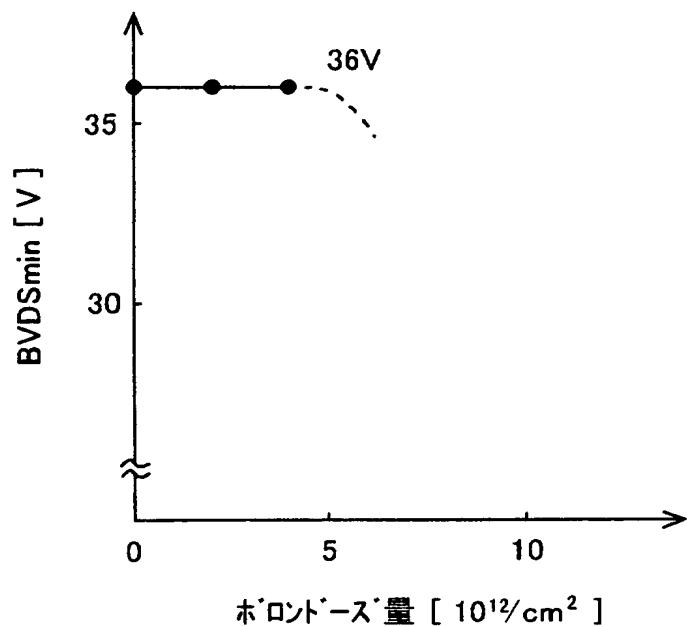


【図3】

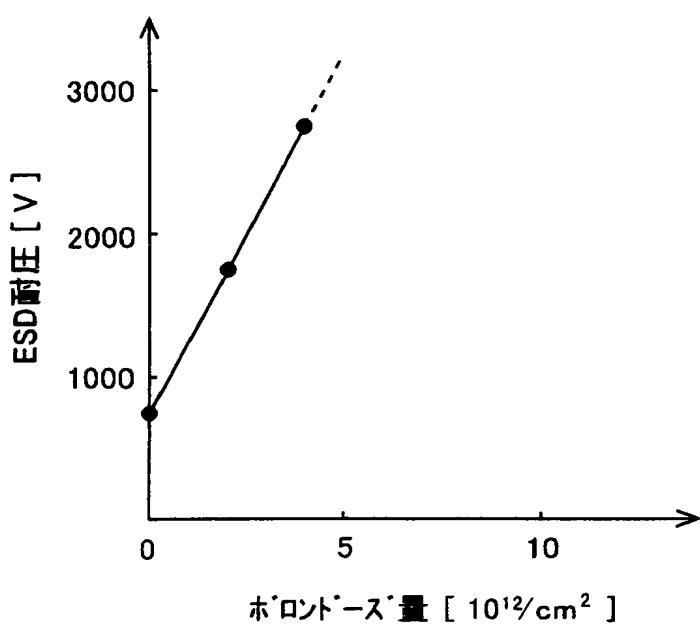


12 : BPSG膜 13 : ソース電極
14 : ドレイン電極

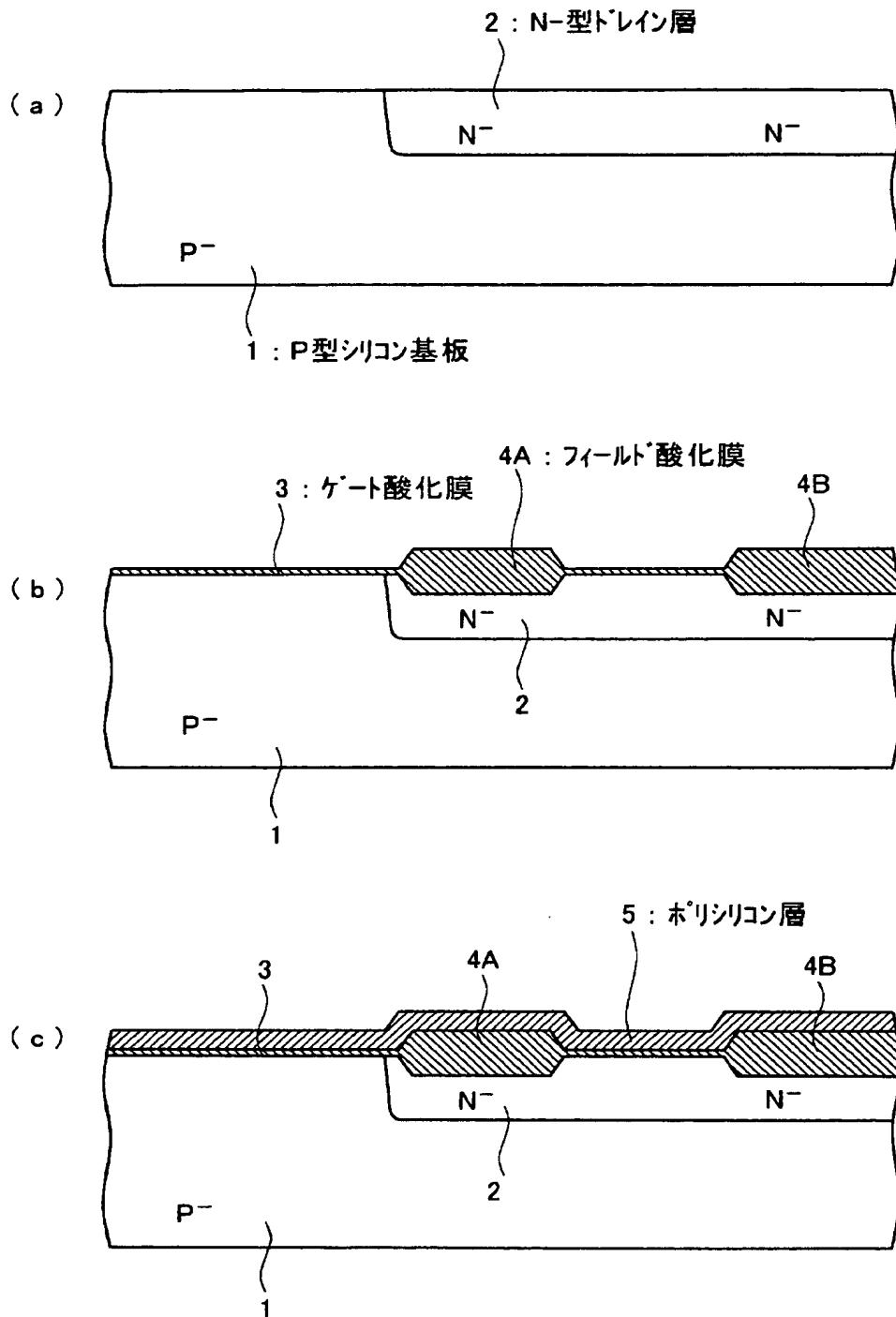
【図4】



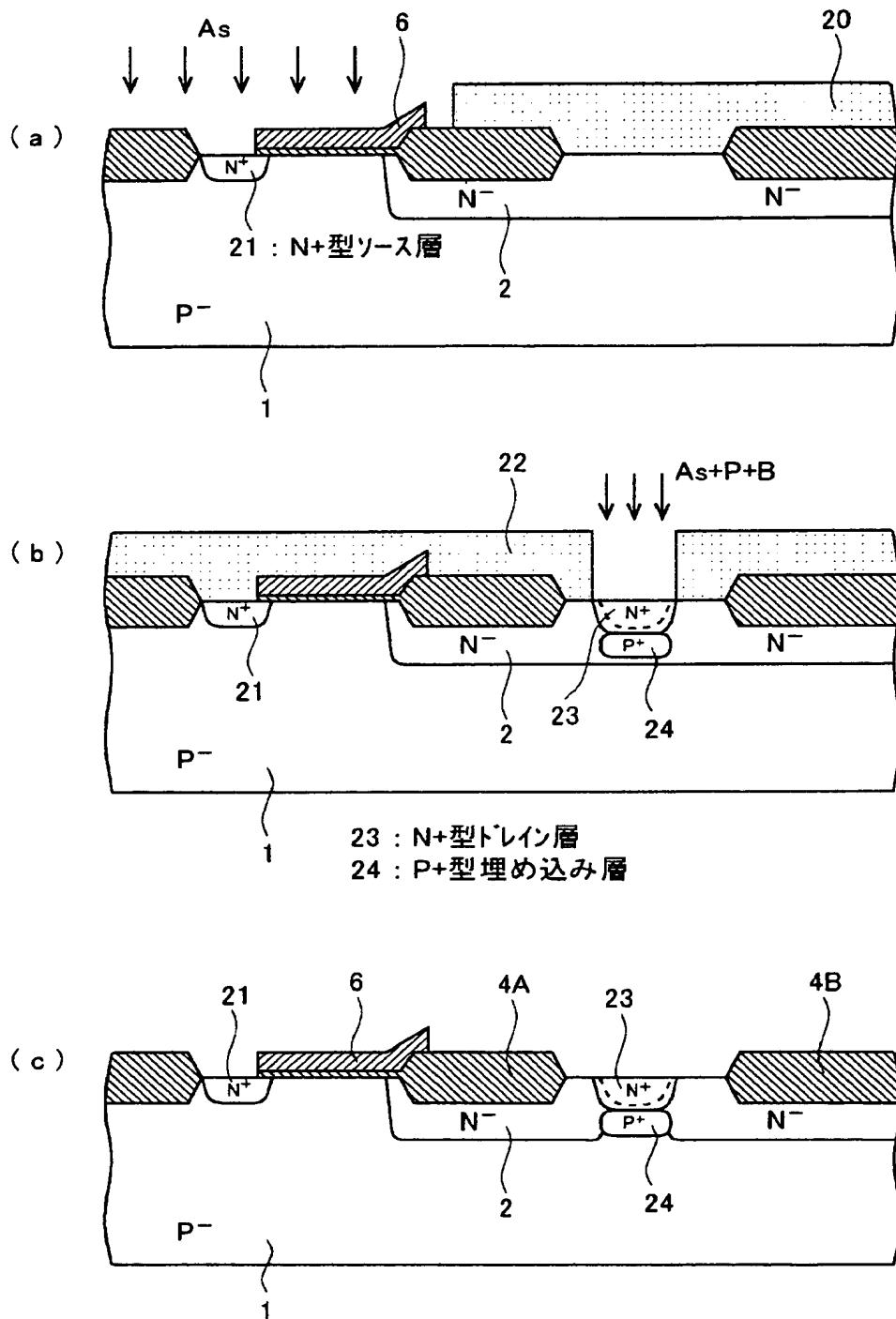
【図5】



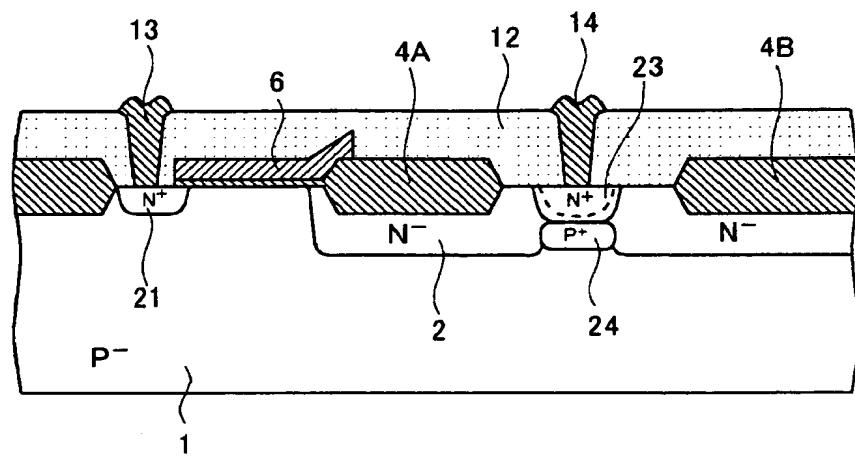
【図6】



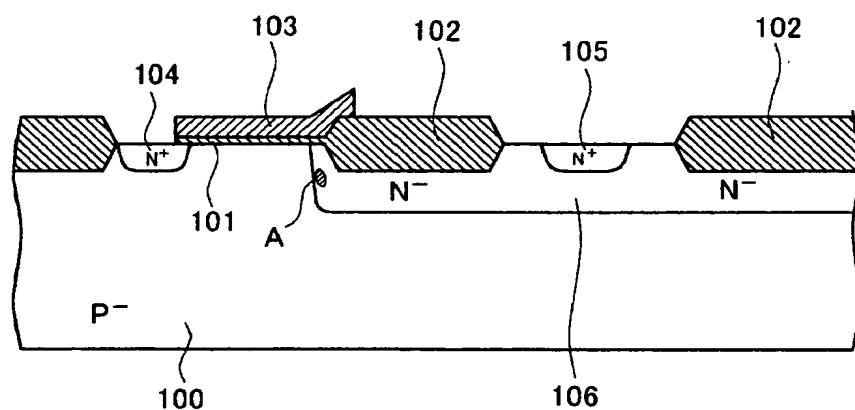
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 高耐圧MOSトランジスタの静電破壊耐量を向上させる。

【解決手段】 MOSトランジスタのN+型ドレイン層9の下にはN-型ドレイン層11が形成されないようにし、かつN+型ドレイン層9の下の領域にP+型埋め込み層11を形成した。N+型ドレイン層9とP+型埋め込み層11との間で、濃度の高いPN接合が形成される。即ち、局所的に接合耐圧が小さい領域が形成される。このため、ゲート電極6の下のN-型ドレイン層2が熱破壊する前に、サージ電流はこのPN接合を通ってシリコン基板1に逃げる。その結果、ESD耐量を向上することができる。

【選択図】 図3

【書類名】 手続補正書

【整理番号】 KIA1020017

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-188283

【補正をする者】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

【氏名】 菊地 修一

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

【氏名】 上原 正文

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会

社内

【氏名】 西部 栄次

【発明者】

【住所又は居所】 群馬県大泉町坂田4-7-15 メゾン・ド・モリ10
5

【氏名】 安齊 勝義

【その他】 共同発明者の一人の氏名の記載に誤記がありましたので
、手続補正により当該発明者の正しい氏名を記載します
。（誤記の理由）特許願作成時の錯誤により、筆頭発明
者を「菊地 修一」と記載すべきところ、「菊地」を「
菊池」に誤り、「菊池 修一」と記載してしまった為で
す。

【プルーフの要否】 要

認定・付加情報

特許出願の番号 特願2002-188283
受付番号 50200968863
書類名 手続補正書
担当官 笹川 友子 9482
作成日 平成14年 7月 8日

<認定情報・付加情報>

【提出日】 平成14年 7月 2日

次頁無

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社